



# AK4393

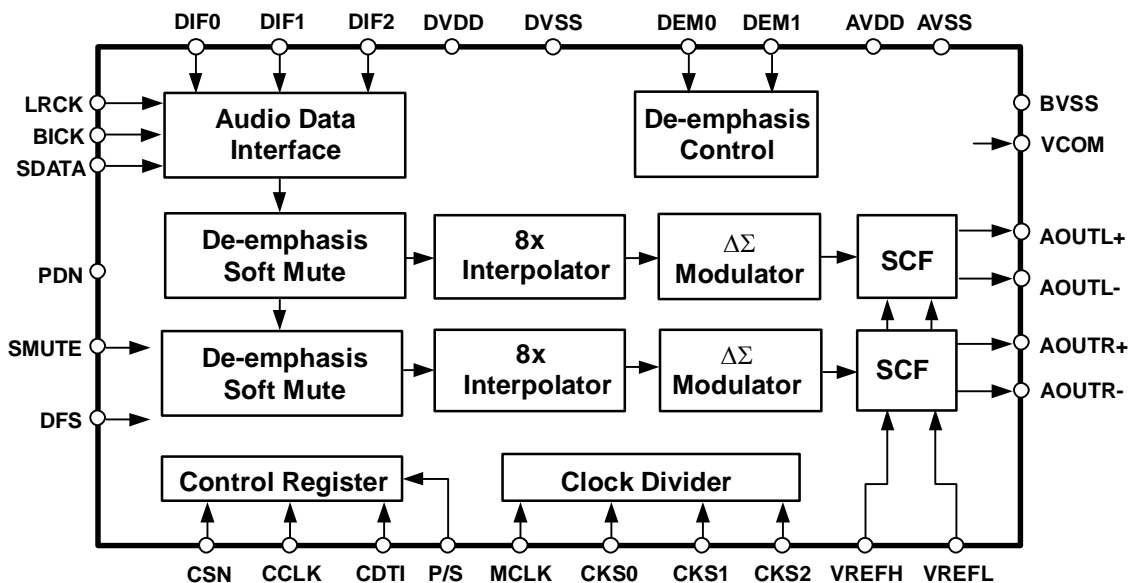
## Advanced Multi-Bit 96kHz 24bit $\Delta\Sigma$ DAC

### 概要

AK4393は、DAT,DVDの96kHzサンプリングモードに対応した高性能24ビットDACです。 $\Delta\Sigma$ 変調器には新開発のアドバンスド・マルチビット方式を採用、従来のシングルビット方式の優れた低歪み特性に加えて、さらに広いダイナミックレンジを実現しています。内蔵のポストフィルタにはスイッチトキャパシタフィルタ(SCF)が採用され、クロックジッタによる精度の劣化を改善します。アナログ出力は完全差動形式になっており、ハイエンドアプリケーションに最適です。動作電圧はアナログ5V、デジタル3.3Vに対応しており、容易に3.3VのロジックICとI/F可能です。

### 特長

- 128倍オーバーサンプリング
- 96kHzサンプリング対応
- 24ビット8倍デジタルフィルタ内蔵  
Ripple:  $\pm 0.005\text{dB}$ , Attenuation: 75dB
- 強ジッタ耐力
- 低歪差動出力
- 32, 44.1, 48, 96kHz対応デジタルディエンファシス内蔵
- ソフトミュート
- THD+N: -100dB
- DR,S/N: 120dB
- マスタクロック 通常速 : 256fs, 384fs, 512fs or 768fs  
2倍速 : 128fs, 192fs, 256fs or 384fs
- 電源電圧: 5V  $\pm 5\%$  (アナログ), 3 ~ 5.25V (デジタル)
- 小型パッケージ: 28ピン VSOP



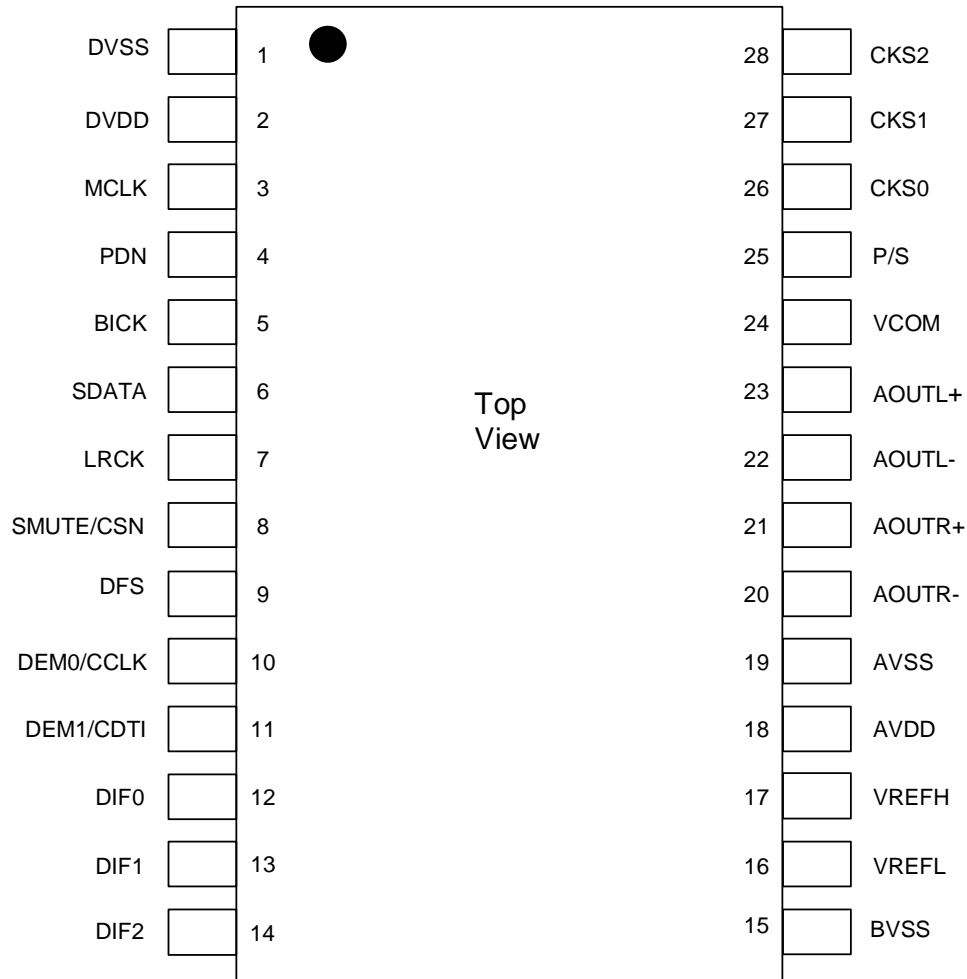
■ オーダリングガイド

AK4393VF  
AKD4393

-40 ~ +85°C  
評価ボード

28pin VSOP (0.65mm pitch)

■ ピン配置



## ピン / 機能

No.	Pin Name	I/O	Function
1	DVSS	-	Digital Ground Pin
2	DVDD	-	Digital Power Supply Pin, 3.3V or 5.0V
3	MCLK	I	Master Clock Input Pin
4	PDN	I	Power-Down Mode Pin When at "L", the AK4393 is in power-down mode and is held in reset. The AK4393 should always be reset upon power-up.
5	BICK	I	Audio Serial Data Clock Pin The clock of 64fs or more than is recommended to be input on this pin.
6	SDATA	I	Audio Serial Data Input Pin 2's complement MSB-first data is input on this pin.
7	LRCK	I	L/R Clock Pin
8	SMUTE	I	Soft Mute Pin in parallel mode When this pin goes "H", soft mute cycle is initiated. When returning "L", the output mute releases.
	CSN	I	Chip Select Pin in serial mode
9	DFS0	I	Double speed sampling mode Pin (Internal pull-down pin) "L": Normal Speed, "H": Double Speed
10	DEM0	I	De-emphasis Enable Pin in parallel mode
	CCLK	I	Control Data Clock Pin in serial mode
11	DEM1	I	De-emphasis Enable Pin in parallel mode
	CDTI	I	Control Data Input Pin in serial mode
12	DIF0	I	Digital Input Format Pin
13	DIF1	I	Digital Input Format Pin
14	DIF2	I	Digital Input Format Pin
15	BVSS	-	Substrate Ground Pin, 0V
16	VREFL	I	Low Level Voltage Reference Input Pin
17	VREFH	I	High Level Voltage Reference Input Pin
18	AVDD	-	Analog Power Supply Pin, 5.0V
19	AVSS	-	Analog Ground Pin, 0V
20	AOUTR-	O	Rch Negative analog output Pin
21	AOUTR+	O	Rch Positive analog output Pin
22	AOUTL-	O	Lch Negative analog output Pin
23	AOUTL+	O	Lch Positive analog output Pin
24	VCOM	O	Common Voltage Output Pin, 2.6V
25	P/S	I	Parallel/Serial Select Pin (Internal pull-up pin) "L": Serial control mode, "H": Parallel control mode
26	CKS0	I	Master Clock Select Pin
27	CKS1	I	Master Clock Select Pin
28	CKS2	I	Master Clock Select Pin

注) プルダウン、プルアップピン以外の入力はオープンにしないでください。

<b>絶対最大定格</b>
---------------

(AVSS, BVSS, DVSS=0V; Note 1)

Parameter		Symbol	min	max	Units
Power Supplies:	Analog	AVDD	-0.3	6.0	V
	Digital	DVDD	-0.3	6.0	V
	BVSS-DVSS   (Note 2)	$\Delta$ GND	-	0.3	V
Input Current , Any pin Except Supplies		IIN	-	$\pm 10$	mA
Input Voltage		VIND	-0.3	DVDD+0.3	V
Ambient Operating Temperature		Ta	-40	85	°C
Storage Temperature		Tstg	-65	150	°C

Notes: 1. 電圧はすべてグランドピンに対する値です。

2. AVSS, BVSS, DVSSは、同じアナロググランドに接続して下さい。

注意: この値を超えた条件で使用した場合、デバイスを破壊することがあります。  
また通常の動作は保証されません。

<b>推奨動作条件</b>
---------------

(AVSS, BVSS, DVSS=0V; Note 1)

Parameter		Symbol	min	typ	max	Units
Power Supplies: (Note 3)	Analog	AVDD	4.75	5.0	5.25	V
	Digital	DVDD	3.0	3.3	5.25	V
Voltage Reference (Note 4)	“H” voltage reference	VREFH	AVDD-0.5	-	AVDD	V
	“L” voltage reference	VREFL	AVSS	-	-	V
	VREFH-VREFL	$\Delta$ VREF	3.0	-	AVDD	V

Notes: 3. AVDD と DVDD間の電源立ち上げシーケンスを考慮する必要はありません。

4. アナログ出力電圧は (VREFH-VREFL) の電圧に比例します。

$$AOUT(\text{typ @0dB}) = (AOUT+) - (AOUT-) = \pm 2.4V_{pp} \times (VREFH - VREFL) / 5.$$

注意: 本データシートに記載されている条件以外のご使用に関しては、当社では責任負いかねますので十分ご注意下さい。

<b>アナログ特性</b>
---------------

(特記なき場合は、 $T_a = 25^\circ\text{C}$ ;  $AVDD = 5\text{V}$ ,  $DVDD = 3.3\text{V}$ ;  $AVSS$ ,  $BVSS$ ,  $DVSS = 0\text{V}$ ;  $VREFH = AVDD$ ;  $VREFL = AVSS$ ;  $f_s = 44.1\text{kHz}$ ;  $BICK = 64\text{fs}$ ; 信号周波数 =  $1\text{kHz}$ ; 24ビットデータ; 測定帯域 =  $20\text{Hz} \sim 20\text{kHz}$ ;  $R_L \geq 600\Omega$ ; 外部回路: Figure 11)

Parameter	min	typ	max	Units	
Resolution			24	Bits	
<b>Dynamic Characteristics</b> (Note 5)					
THD+N	fs=44.1kHz	0dBFS	-100	-90	dB
	BW=20kHz	-60dBFS	-53	-	dB
	fs=96kHz	0dBFS	-97	-86	dB
	BW=40kHz	-60dBFS	-51	-	dB
Dynamic Range (-60dBFS with A-weighted)	fs=44.1kHz (Note 6)	112	117		dB
	(Note 7)	-	120		dB
	fs=96kHz	111	116		dB
	(Note 7)	-	118		dB
S/N (A-weighted)	fs=44.1kHz (Note 8)	112	117		dB
	(Note 7)	-	120		dB
	fs=96kHz	111	116		dB
	(Note 7)	-	118		dB
Interchannel Isolation (1kHz)	100	120		dB	
<b>DC Accuracy</b>					
Interchannel Gain Mismatch		0.15	0.3	dB	
Gain Drift (Note 9)		20	-	ppm/°C	
Output Voltage (Note 10)	$\pm 2.25$	$\pm 2.4$	$\pm 2.55$	Vpp	
Load Resistance (Note 11)	600			$\Omega$	
Output Current			3.5	mA	
<b>Power Supplies</b>					
Power Supply Current					
Normal Operation (PDN = "H")	AVDD	60	-	mA	
	DVDD(fs=44.1kHz)	3	-	mA	
	DVDD(fs=96kHz)	5	-	mA	
	AVDD + DVDD			90	mA
	Power-Down Mode (PDN = "L")				
AVDD + DVDD (Note 12)	10	50		$\mu\text{A}$	
Power Supply Rejection (Note 13)		50		dB	

Notes: 5. fs=44.1kHz時はAudio Precision, System Twoを使用。平均値測定。fs=96kHz, 96kHz時はROHDE & SCHWARZ, UPD使用。平均値測定。測定結果は評価ボードのマニュアルを参照下さい。

6. 101dB at 16bit data, 116dB at 20bit data.

7. Figure 12 (回路例 2) 使用時。

8. S/N比は入力ビット長に依存しません。

9. (VREFH-VREFL)の電圧は+5V一定。

10. フルスケール電圧 (0dB)。出力電圧は (VREFH-VREFL) の電圧に比例します。

$$A_{OUT} (\text{typ. @0dB}) = (A_{OUT+}) - (A_{OUT-}) = \pm 2.4V_{pp} \times (VREFH - VREFL) / 5.$$

11. AC負荷に対して。DC負荷がある場合は1k $\Omega$

12. パワーダウン時、P/S = DVDD, それ以外の外部クロック (MCLK, BICK, LRCK) を含む全てのデジタル入力はDVSS に固定した場合の値です。

13. VREFH ピンを +5V に固定して、AVDD, DVDD に 1kHz, 100mVpp の正弦波を重畳した場合の値です。

### フィルタ特性 (fs = 44.1kHz)

(Ta = 25°C; AVDD, DVDD = 4.75~5.25V; fs = 44.1kHz; Normal Speed Mode; DEM = OFF; SLOW = "0")

Parameter	Symbol	min	typ	max	Units
<b>Digital Filter</b>					
Passband	±0.01dB (Note 14)	PB	0	22.05	20.0
					-6.0dB
Stopband	(Note 14)	SB	24.1		kHz
Passband Ripple		PR		± 0.005	dB
Stopband Attenuation		SA	75		dB
Group Delay	(Note 15)	GD	-	28	1/fs
<b>Digital Filter + SCF</b>					
Frequency Response	0 ~ 20.0kHz		-	± 0.2	dB

Note: 14. The passband and stopband frequencies scale with fs.

For example, PB = 0.4535×fs (@±0.01dB), SB = 0.546×fs.

15. The calculating delay time which occurred by digital filtering. This time is from setting the 16/20/24bit data of both channels to input register to the output of analog signal.

### フィルタ特性 (fs = 96kHz)

(Ta = 25°C; AVDD, DVDD = 4.75~5.25V; fs = 96kHz; Double Speed Mode; DEM = OFF; SLOW = "0")

Parameter	Symbol	min	typ	max	Units
<b>Digital Filter</b>					
Passband	±0.01dB (Note 14)	PB	0	48.0	43.5
					-6.0dB
Stopband	(Note 14)	SB	52.5		kHz
Passband Ripple		PR		± 0.005	dB
Stopband Attenuation		SA	75		dB
Group Delay	(Note 15)	GD	-	28	1/fs
<b>Digital Filter + SCF</b>					
Frequency Response	0 ~ 40.0kHz		-	± 0.3	dB

### DC 特性

(Ta = 25°C; AVDD = 4.75~5.25V; DVDD = 3.0~5.25V)

Parameter	Symbol	min	typ	max	Units
High-Level Input Voltage	VIH	70% DVDD	-	-	V
Low-Level Input Voltage	VIL	-	-	30% DVDD	V
Input Leakage Current	Iin	-	-	± 10	μA

Note: 16. DFS, P/Sピンは内部でプルダウンまたはプルアップされています (typ.100k )

<b>スイッチング特性</b>
-----------------

(Ta = 25°C; AVDD = 4.75~5.25V; DVDD = 3.0~5.25V; CL = 20pF)

Parameter	Symbol	min	typ	max	Units
<b>Master Clock Timing</b> (Note 17)					
Normal Speed: 256fs, Double Speed: 128fs	fCLK	7.7		13.824	MHz
Pulse Width Low	tCLKL	28			ns
Pulse Width High	tCLKH	28			ns
Normal Speed: 384fs, Double Speed: 192fs	fCLK	11.5		20.736	MHz
Pulse Width Low	tCLKL	20			ns
Pulse Width High	tCLKH	20			ns
Normal Speed: 512fs, Double Speed: 256fs	fCLK	15.4		27.648	MHz
Normal Speed: 768fs, Double Speed: 384fs	fCLK	23.0		41.472	MHz
Pulse Width Low	tCLKL	7			ns
Pulse Width High	tCLKH	7			ns
<b>LRCK Frequency</b> (Note 18)					
Normal Speed Mode (DFS = "L")	fsn	30	44.1	54	kHz
Double Speed Mode (DFS = "H")	fsd	60	88.2	108	kHz
Duty Cycle	Duty	45		55	%
<b>Serial Interface Timing</b>					
BICK Period	tBCK	140			ns
BICK Pulse Width Low	tBCKL	60			ns
Pulse Width High	tBCKH	60			ns
BICK "↑" to LRCK Edge (Note 19)	tBLR	20			ns
LRCK Edge to BICK "↑" (Note 19)	tLRB	20			ns
SDATA Hold Time	tSDH	20			ns
SDATA Setup Time	tSDS	20			ns
<b>Control Interface Timing</b>					
CCLK Period	tCCK	200			ns
CCLK Pulse Width Low	tCCKL	80			ns
Pulse Width High	tCCKH	80			ns
CDTI Setup Time	tCDS	50			ns
CDTI Hold Time	tCDH	50			ns
CSN High Time	tCSW	150			ns
CSN "↓" to CCLK "↑"	tCSS	50			ns
CCLK "↑" to CSN "↑"	tCSH	50			ns
<b>Reset Timing</b>					
PDN Pulse Width (Note 20)	tPW	150			ns

Notes: 17. 2倍速モード時は、MCLKとLRCKまたはBICK間の位相関係に制限があります(添付1参照)。

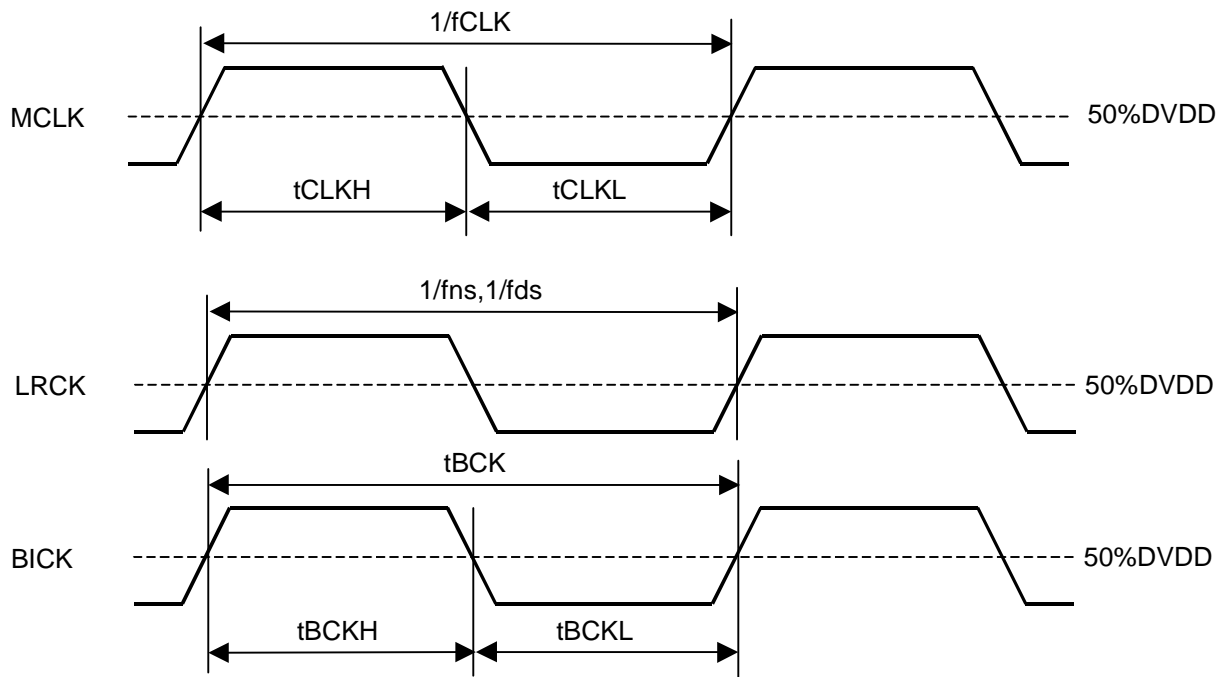
18. 通常速モードと2倍速モードを切り替えた場合はPDNピンまたはRSTNビットでリセットして下さい。

19. この規格値はLRCKのエッジとBICKの"↑"が重ならないように規定しています。

20. 電源投入時はPDNピンを"L"から"H"にすることでリセットがかかります。

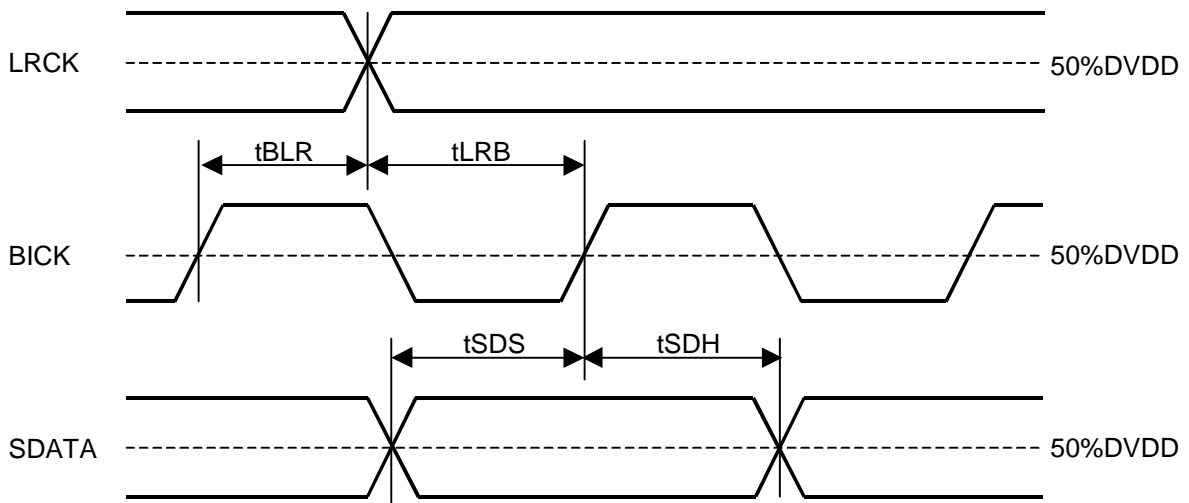
CKS2-0またはDFSを切り替えた場合はPDNピンまたはRSTNビットでリセットして下さい。

■ タイミング波形



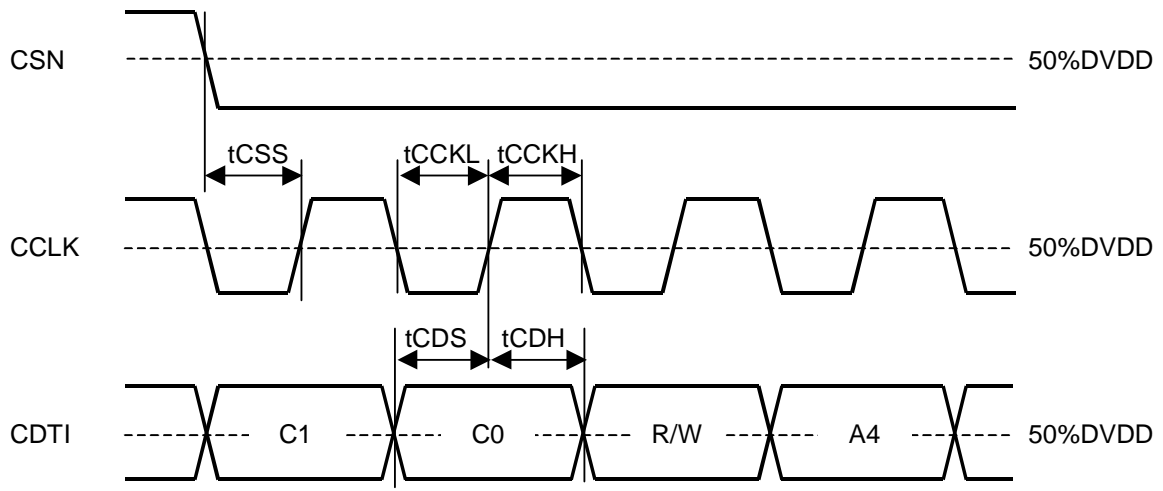
Clock Timing

Note: 2倍速モード時は、MCLKとLRCKまたはBICK間の位相関係に制限があります(添付1参照)。

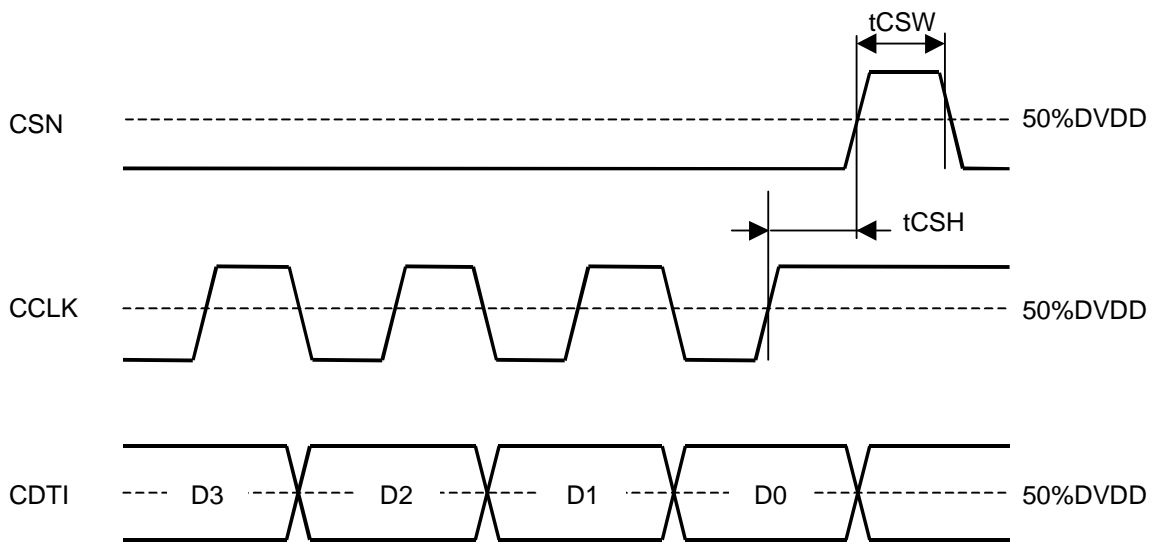


Audio Interface Timing

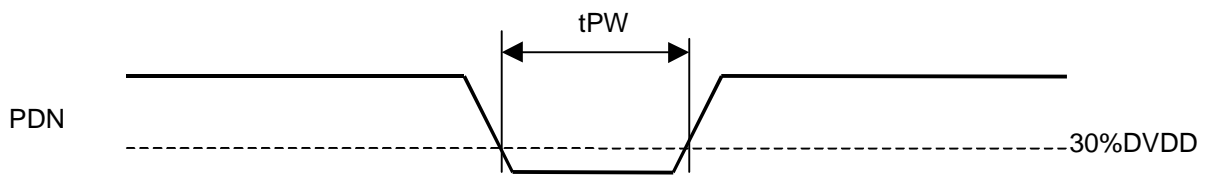




WRITE Command Input Timing



WRITE Data Input Timing



Power-down Timing

**動作説明**

■ システムクロック

必要なクロックは、MCLK, LRCK, BICK です。マスタクロック (MCLK) とサンプリングクロック (LRCK) は同期する必要はありますが位相を合わせる必要はありません。但し、2倍速モード時は、MCLKとLRCKまたはBICK間の位相関係に制限があります(添付1参照)。MCLK はインタポ - レーションフィルタと  $\Delta\Sigma$  変調器に使用されます。DFS で通常モードまたは2倍速モードを選択します(Table 1)。MCLKの周波数はLRCK とCKS0/1/2, DFSによって決まります (Table 2)。

動作時 (PDN = “H”) は、各外部クロック (MCLK, BICK, LRCK) を止めてはいけません。これらのクロックが供給されない場合、内部にダイナミックなロジックを使用しているため、過電流が流れ、動作が異常になる可能性があります。クロックを止める場合はパワーダウン状態 (PDN = “L”) またはリセット状態 (RSTN = “0”) にして下さい。電源 ON 等のパワーダウン解除時 (PDN = “↑”) は MCLKとLRCK が入力されるまでパワーダウン状態です。

DFS	Sampling Rate (fs)		
0	通常速モード	30kHz~54kHz	Default
1	2倍速モード	60kHz~108kHz	

Table 1. サンプリングスピード

Mode	CKS2	CKS1	CKS0	通常速	2倍速	
0	0	0	0	256fs	128fs	Default
1	0	0	1	256fs	256fs	
2	0	1	0	384fs	192fs	
3	0	1	1	384fs	384fs	
4	1	0	0	512fs	256fs	
5	1	0	1	512fs	N/A	
6	1	1	0	768fs	384fs	
7	1	1	1	768fs	N/A	

Table 2. マスタクロック

LRCK	MCLK				BICK
fs	256fs	384fs	512fs	768fs	64fs
32.0kHz	8.1920MHz	12.288MHz	16.3840MHz	24.576MHz	2.0480MHz
44.1kHz	11.2896MHz	16.9344MHz	22.5792MHz	33.8688MHz	2.8224MHz
48.0kHz	12.2880MHz	18.4320MHz	24.5760MHz	36.8640MHz	3.0720MHz

Table 3. System clock example (通常速モード)

LRCK	MCLK				BICK
fs	128fs	192fs	256fs	384fs	64fs
88.2kHz	11.2896MHz	16.9344MHz	22.5792MHz	33.8688MHz	5.6448MHz
96.0kHz	12.2880MHz	18.4320MHz	24.5760MHz	36.8640MHz	6.1440MHz

Table 4. System clock example (2倍速モード)

■ オーディオシリアルインタフェースフォーマット

オーディオデータは BICK と LRCK を使って SDATA から入力されます。5 種類のデータフォーマット (Table 5) が DIF0, DIF1 と DIF2 で選択できます。全モードとも MSB ファースト、2's コンプリメントのデータフォーマットで BICK の立ち上がりでラッチされます。Mode 2 を 20 ビット、16 ビットで使った場合はデータのない LSB には "0" を入力して下さい。

Mode	DIF2	DIF1	DIF0	Mode	BICK	Figure
0	0	0	0	0: 16bit LSB Justified	≥32fs	Figure 1
1	0	0	1	1: 20bit LSB Justified	≥40fs	Figure 2
2	0	1	0	2: 24bit MSB Justified	≥48fs	Figure 3
3	0	1	1	3: I <sup>2</sup> S Compatible	≥48fs	Figure 4
4	1	0	0	4: 24bit LSB Justified	≥48fs	Figure 2

Table 5. オーディオデータフォーマット

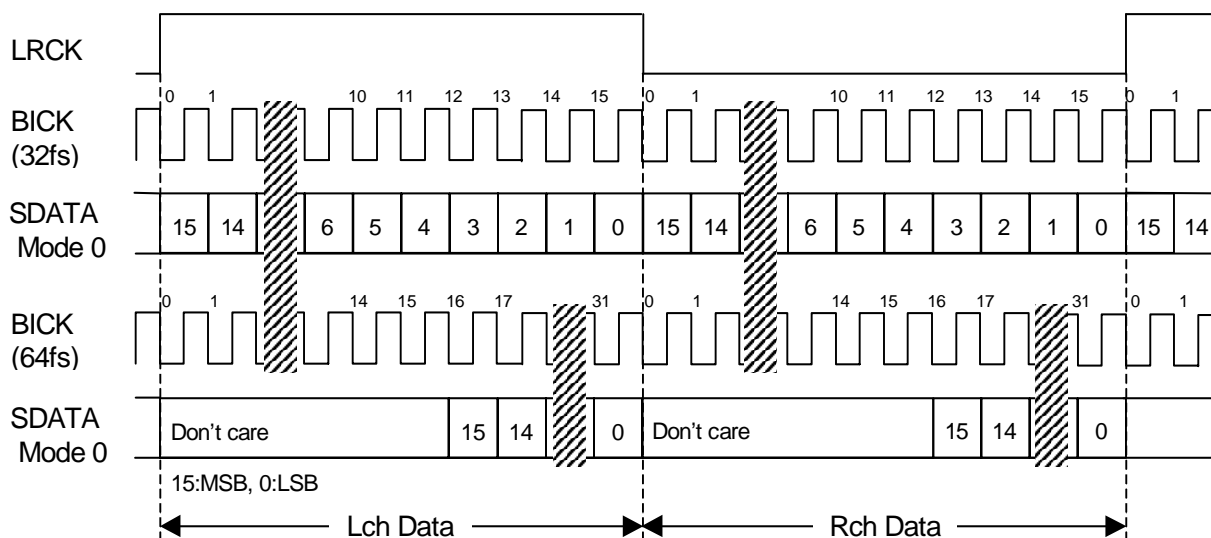


Figure 1. Mode 0 Timing

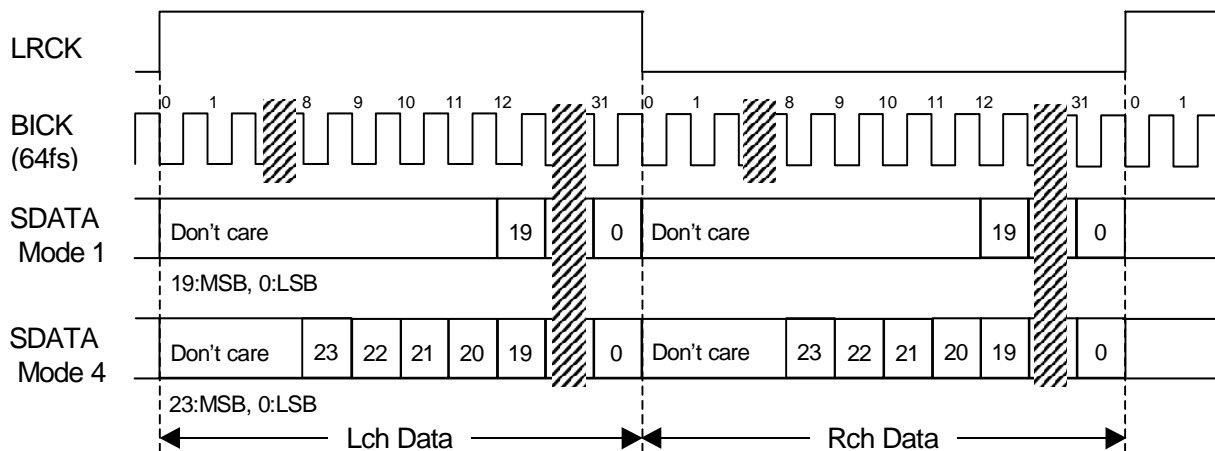


Figure 2. Mode 1,4 Timing

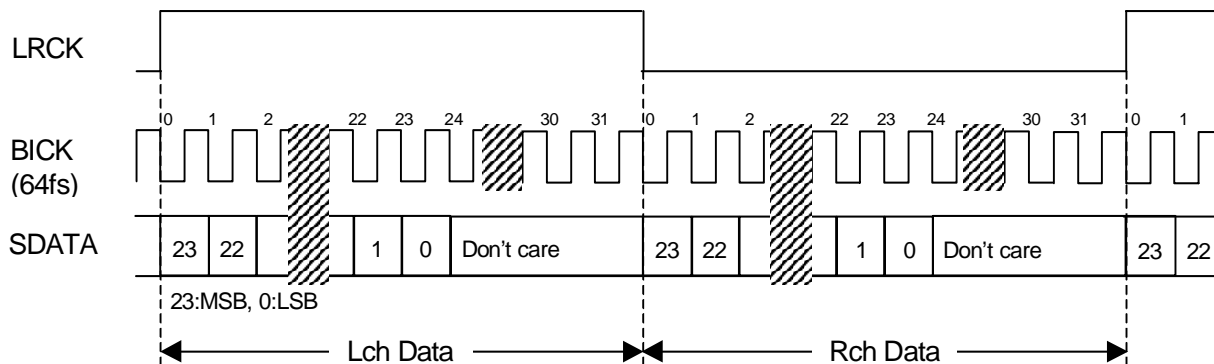


Figure 3. Mode 2 Timing

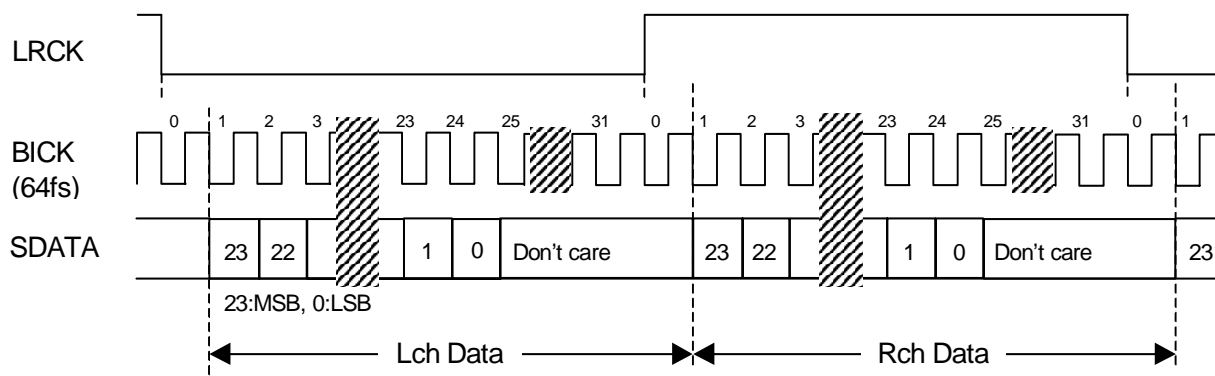


Figure 4. Mode 3 Timing

■ ディエンファシスフィルタ

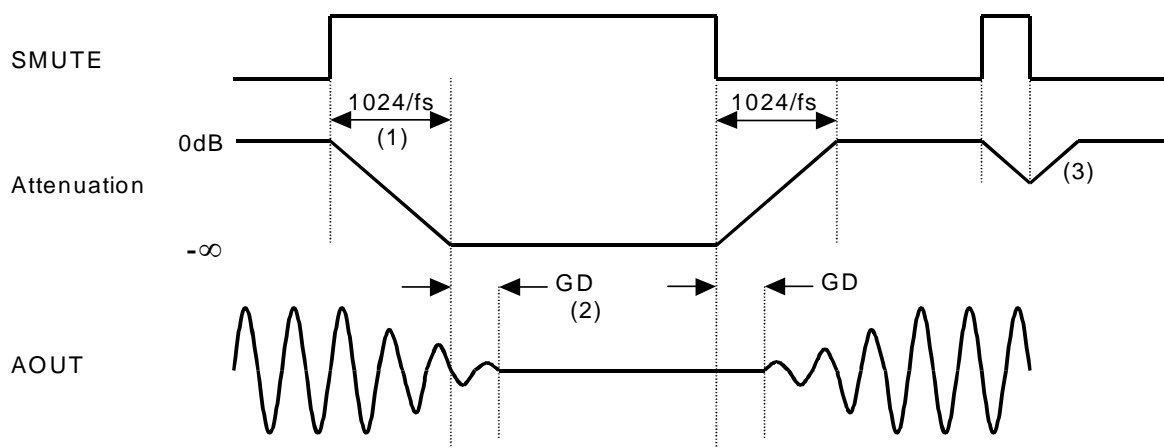
IIR フィルタによる 4 周波数 (32kHz, 44.1kHz, 48kHz, 96kHz) 対応のディエンファシスフィルタ (50/15μs 特性) を内蔵しています。

DEM1	DEM0	DFS	Mode	
0	0	0	44.1kHz	Default
0	1	0	OFF	
1	0	0	48kHz	
1	1	0	32kHz	
0	0	1	OFF	
0	1	1	OFF	
1	0	1	96kHz	
1	1	1	OFF	

Table 6. ディエンファシスコントロール

## ■ ソフトミュート機能

ソフトミュートはデジタル的に実行されます。ピン入力またはコントロールレジスタでSMUTEを“H”にすると1024LRCK サイクルで入力データが $-\infty$  (“0”)までアテネーションされます。SMUTEを“L”にすると $-\infty$ 状態が解除され、 $-\infty$ から1024LRCK サイクルで0dBまで復帰します。ソフトミュート開始後、1024LRCK サイクル以内に解除されるとアテネーションが中断され、同じサイクルで0dBまで復帰します。ソフトミュート機能は信号を止めずに信号源を切り替える場合に有効です。



注:

- (1) 1024LRCK サイクル (1024/fs) で入力データが $-\infty$  (“0”)までアテネーションされます
- (2) デジタル入力に対するアナログ出力は群遅延 (GD) をもちます。
- (3) 1024LRCK サイクル以内にソフトミュートが解除されるとアテネーションが中断され、同じサイクルで0dBまで復帰します。

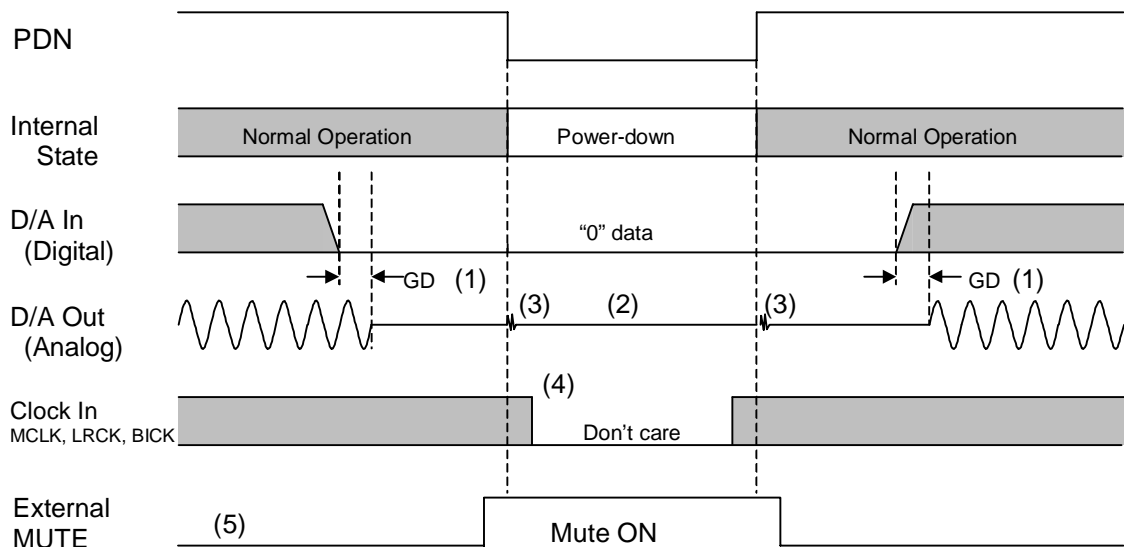
Figure 5. ソフトミュート機能

## ■ システムリセット

電源 ON 時には、PDNピンに一度“L”を入力してリセットして下さい。リセットおよびパワーダウンは MCLK で解除され、その後 LRCK の“↑”に同期して内部回路がパワーアップし、内部のタイミングが動作します。MCLKとLRCKが 入力されるまでパワーダウン状態です。

## ■ パワーダウン機能

PDNピンを“L”にするとパワーダウン状態になり、アナログ出力はフローティング状態 (Hi-Z) になります。Figure 6にパワーダウンおよびパワーアップ時のシステムタイミング例を示します。



注:

- (1) デジタル入力に対するアナログ出力は群遅延(GD)を持ちます。
- (2) パワーダウン時アナログ出力はHi-Zです。
- (3) PDN 信号のエッジ(“↓↑”)でクリックノイズが出力されます。このノイズはデータが“0”の場合でも 出力されま ず。
- (4) パワーダウン状態(PDN = “L”)では各クロック入力(MCLK, BICK, LRCK) を止めることができます。
- (5) クリックノイズ(3) が問題になる場合はアナログ出力を外部でミュートして下さい。タイミング例を示します。

Figure 6. パワーダウン / アップ時タイミング例

## ■ アナログ出力のクリックノイズ

以下の場合アナログ出力からクリックノイズが出力されます。

- DEMO, DEM1, DFSピンによるディエンファシスモード切り替え時
- DIF0, DIF1, DIF2ピンによるシリアルモード切り替え時
- PDNピンによりパワーダウンおよびパワーアップしたとき
- DFSピンで通常速と倍速を切り替えたとき

但し、 と の場合は入力データが“0”またはソフトミュート時(SMUTE=“H”から1024 LRCKサイクル後)はクリックノイズは出力されません。(DFS切り替え時を除く)

## ■ モードコントロールインタフェース

AK4393 の各機能はピン(パラレルモード)とレジスタ(シリアルモード)のどちらでも設定できます。DIF2-0, DFS, CKS2-0 についてはピン設定とレジスタ設定は内部で OR がとられており、シリアルモードでもピン設定によってコントロール可能です。シリアルモードはP/Sピンを“L”にすることによってイネーブルされます。このモードでは3線式シリアル I/F ピン: CSN, CCLK, CDTI で書き込みを行います。I/F上のデータは Chip address (2bit, C1/0, “01”固定), Read/Write(1bit, “1”固定, Write only), Register address (MSB first, 5bit) と Control data (MSB first, 8bit) で構成されます。データ送信側はCCLKの“↓”で各ビットを出力し、受信側は“↑”で取り込みます。データの書き込みはCSNの“↑”で有効になります。CCLKのクロックスピードは5MHz(max)です。アクセスしないときはCSNとCCLKは“H”に固定して下さい。

PDNピンを“L”にすると内部レジスタ値は初期化されます。P/Sピンを切り替えた場合はPDNピンを“L”にしてリセットして下さい。また、シリアルモードではRSTビットに“L”を書き込むと内部タイミング回路がリセットされます。但し、このときレジスタの内容は初期化されません。

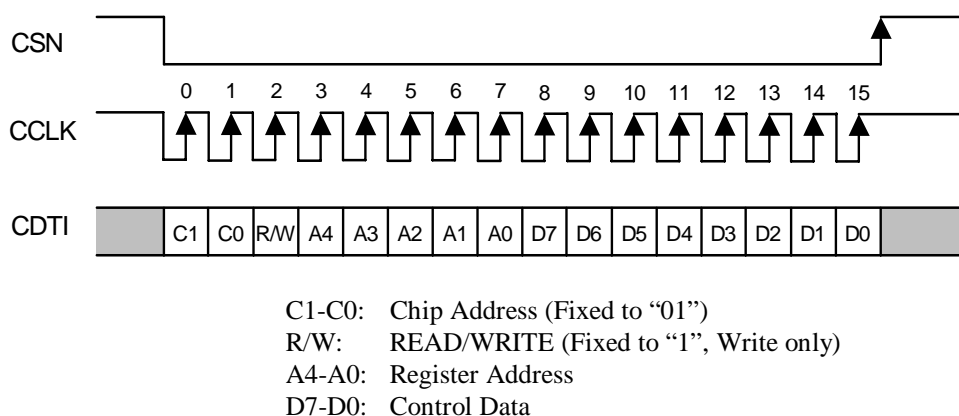


Figure 7. Control I/F Timing

\*AK4393 では C1/0, R/W は固定 (“011”) です。

\*PDN = “L”時、およびマスタクロックが供給されていない時は、コントロールレジスタへの書き込みはできません。

\*レジスタ設定時の推奨シーケンス

Control 1 レジスタの場合

RSTN = “0” とモード (D6-D1)を同時に設定し、レジスタに書き込みを行う。

RSTN = “1” を設定し、モード (D6-D1)は同じ内容でレジスタに書き込みを行う。

Control 2 レジスタの場合

書き込みシーケンスにControl 1 レジスタのような制限はありません。

DEM0, DEM1, SMUTEについてはRSTNを考慮する必要はありません。

\*RST = “0”を設定するとアナログ出力にクリックノイズが出ます。

\*RST = “0”を設定せずにモード設定するとアナログ出力に大きなノイズが出る場合があります (特にCKS 0/1/2が変化する場合)。

## ■ レジスタマップ

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	Control 1	0	CKS2	CKS1	CKS0	DIF2	DIF1	DIF0	RSTN
01H	Control 2	0	0	0	0	DFS	DEM1	DEM0	SMUTE
02H	Test	TEST7	TEST6	TEST5	TEST4	TEST3	TEST2	TEST1	TEST0

Notes:

For addresses from 03H to 1FH, data must not be written.

When PDN pin goes to “L”, the registers are initialized to their default values. When RSTN bit goes to “0”, the only internal timing is reset and the registers are not initialized to their default values. DIF2-0, CKS2-0 and DFS bits are ORed with pins respectively

## ■ 詳細説明

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	Control 1	0	CKS2	CKS1	CKS0	DIF2	DIF1	DIF0	RSTN
	default	0	0	0	0	0	0	0	1

RSTN: Internal timing reset

0: Reset. All registers are not initialized.

1: Normal Operation

When the states of CKS2-0 or DFS change, the AK4393 should be reset by PDN pin or RSTN bit.

DIF2-0: Audio data interface modes (see Table 5)

Initial: “000”, Mode 0

Register bits are ORed with DIF2-0 pins if P/S = “L”.

CKS2-0: Master Clock Frequency Select (see Table 2)

Initial: “000”, Mode 0

Register bits are ORed with CKS2-0 pins if P/S = “L”.

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
01H	Control 2	0	0	0	0	DFS	DEM1	DEM0	SMUTE
	default	0	0	0	0	0	0	0	0

SMUTE: Soft Mute Enable

0: Normal operation

1: DAC outputs soft-muted

DEM1-0: De-emphasis response (see Table 6)

Initial: “00”, 44.1kHz

DFS: Sampling speed control (see Table 1)

0: Normal speed

1: Double speed

Register bit is ORed with DFS pin if P/S = “L”.

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
02H	Test	TEST7	TEST6	TEST5	TEST4	TEST3	TEST2	TEST1	TEST0
	default	0	0	0	0	0	0	0	0

TEST7-0: Test mode. Do not write any data to 02H.



**システム設計**

システム接続例をFigure 8と Figure 9、出力アナログ回路例をFigure 11とFigure 12 に示します。具体的な回路と測定例については評価用ボード (AKD4393) を参照して下さい。

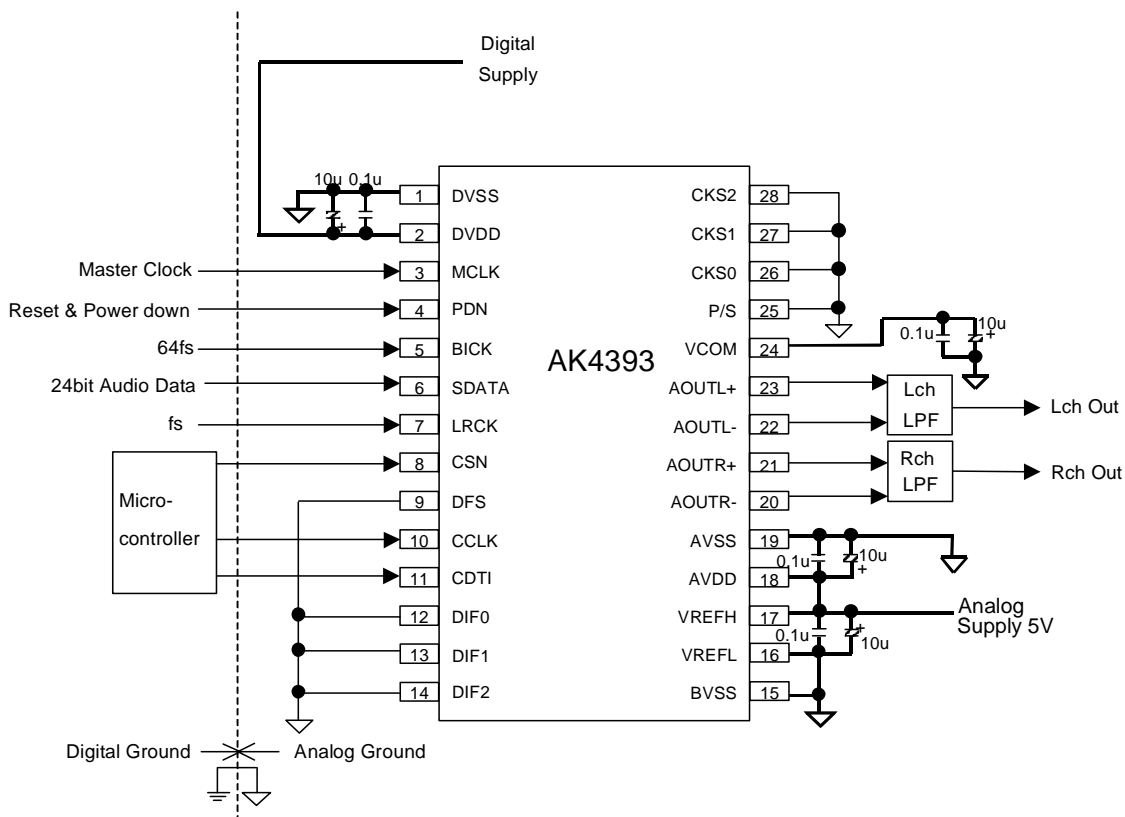


Figure 8. システム接続例 (Serial mode)

Notes:

- LRCK = fs, BICK = 64fs.
- AVDD, DVDDの配線はレギュレータ等の低インピーダンスから分けて配線してください。
- AVSS, BVSS, DVSSは、同じアナロググランドに接続して下さい。
- AOUTが容量性負荷を駆動する場合は直列に抵抗を入れて下さい。
- プルダウンピン以外の入力はオープンにしないで下さい。

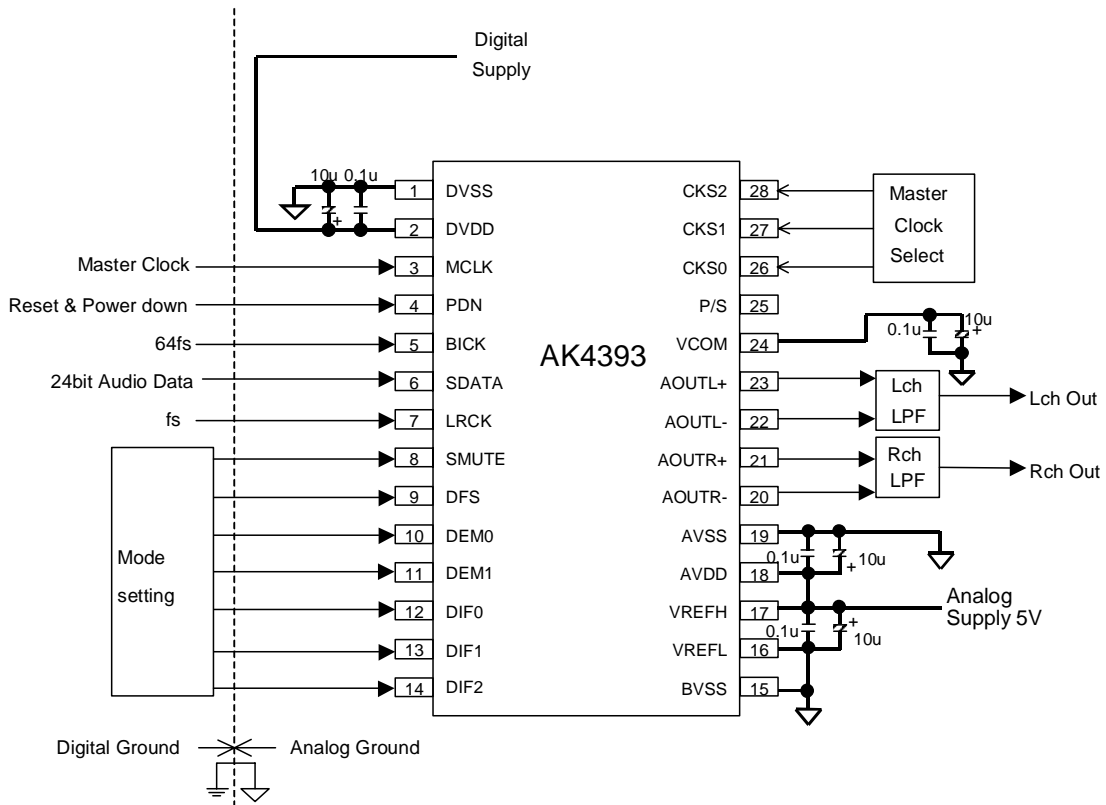


Figure 9. システム接続例 (Parallel mode)

Notes:

- LRCK = fs, BICK = 64fs.
- AVDD, DVDDの配線はレギュレータ等の低インピーダンスから分けて配線してください。
- AVSS, BVSS, DVSSは、同じアナロググランドに接続して下さい。
- AOUTが容量性負荷を駆動する場合は直列に抵抗を入れて下さい。
- プルダウンピン以外の入力はオープンにしないで下さい。

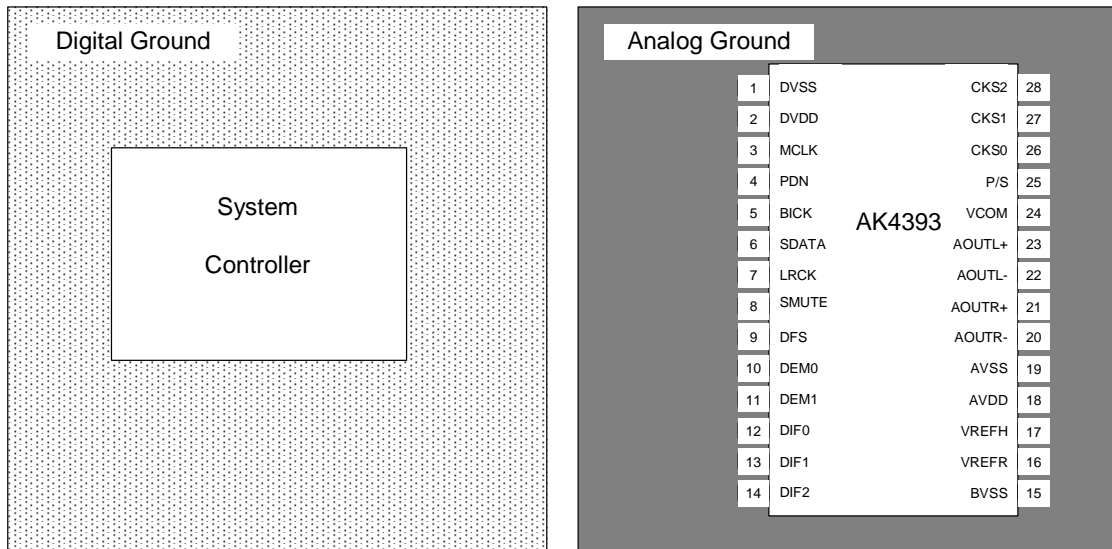


Figure 10. Ground Layout

## 1. グランドと電源のデカップリング

AK4393ではデジタルノイズのカップリングを最小限に抑えるため、AVDDとDVDDをデカップリングします。AVDDにはシステムのアナログ電源を供給し、DVDDにはシステムのデジタル電源を供給して下さい。またBVSSはAVSSに接続して下さい。AVSS、BVSS、DVSSはアナロググランドに接続して下さい。AVDDとDVDDが別電源で供給される場合、AVDDとDVDDの立ち上げシーケンスを考慮する必要はありません。システムの電源とグランドはアナログとデジタルに分けて配線し、電源に近いところでデバイスに接続して下さい。デカップリングコンデンサ、特に小容量のセラミックコンデンサはAK4393にできるだけ近づけて接続します。

## 2. 内蔵基準電圧源

VREFHピンとVREFLピンに入力される電圧の差がアナログ出力のフルスケールを決定します。通常はVREFHピンをAVDDに接続し、VREFLピンをAVSSに接続します。VREFHとVREFLとの間に0.1 $\mu$ Fのセラミックコンデンサを接続します。VCOMはアナログ信号のコモン電圧として使われます。このピンには高周波ノイズを除去するために10 $\mu$ F程度の電解コンデンサと並列に0.1 $\mu$ FのセラミックコンデンサをAVSSとの間に接続して下さい。特にセラミックコンデンサはピンにできるだけ近づけて接続して下さい。VCOMピンから電流を取ってはいけません。デジタル信号、特にクロックはAK4393へのカップリングを避けるためVREFH/VREFLピンからできるだけ離して下さい。

## 3. アナログ出力

アナログ出力は完全差動出力になっており、出力レンジは2.6Vを中心に2.4Vpp (typ@VREF=5V)。差動出力は外部で加算されます。AOUT+とAOUT-の加算電圧は $V_{AOUT} = (AOUT+) - (AOUT-)$ です。加算ゲインが1の場合、出力レンジは4.8Vpp (typ@VREF=5V)です。外部加算回路のバイアス電圧は外部で供給されます。入力コードのフォーマットは2's コンプリメント (2の補数) で7FFFFFFH (@24bit) に対しては正のフルスケール、800000H (@24bit) に対しては負のフルスケール、000000H (@24bit) での $V_{AOUT}$ の理想値は0V電圧が出力されます。

内蔵の $\Delta\Sigma$ 変調器の帯域外ノイズ(シェーピングノイズ)は内蔵のスイッチとキャパシタフィルタ(SCF)で減衰されます。Figure 11は差動出力を1個のオペアンプで加算する外部LPF回路例です。Figure 12は差動出力の回路例及び3個のオペアンプを使った外部LPF回路例です。この場合、2dB程度S/Nを改善できます。

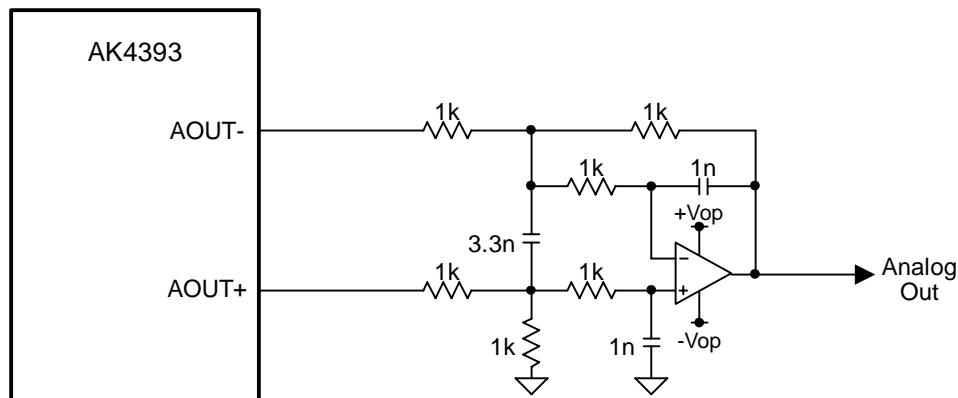


Figure 11. 外部LPF回路例 1

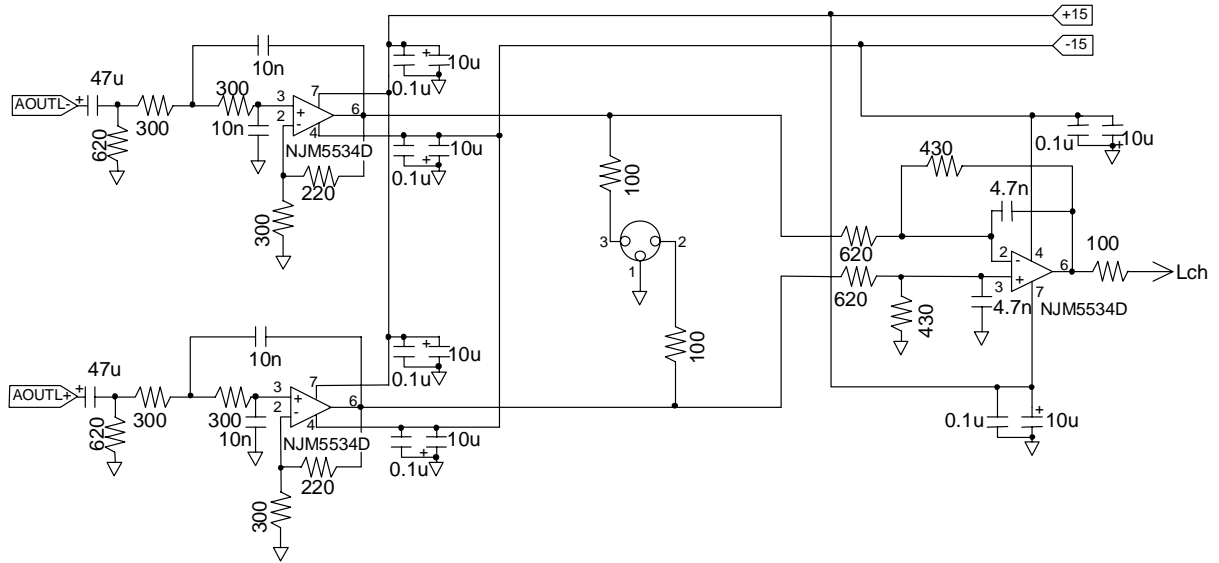
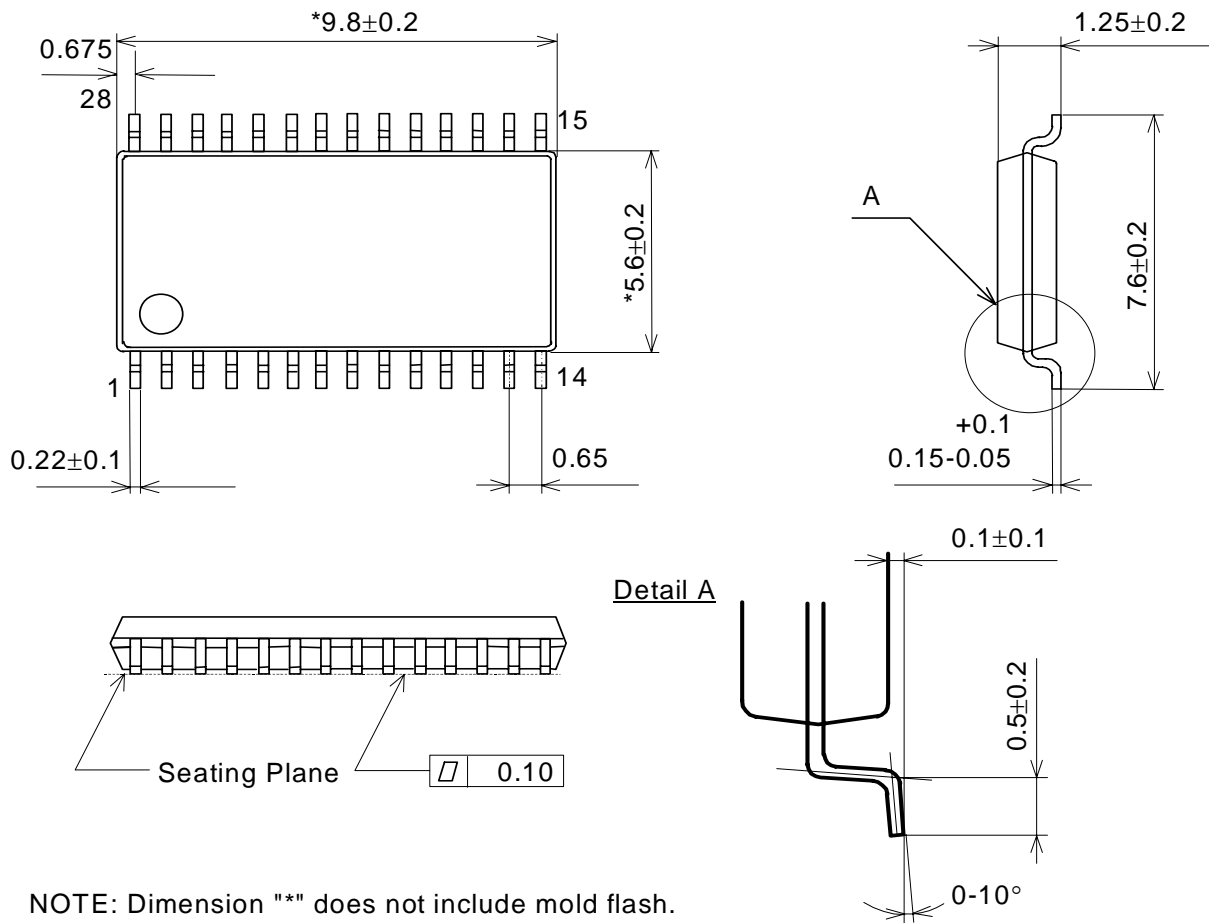


Figure 11. 外部LPF回路例 2

パッケージ

28pin VSOP (Unit: mm)

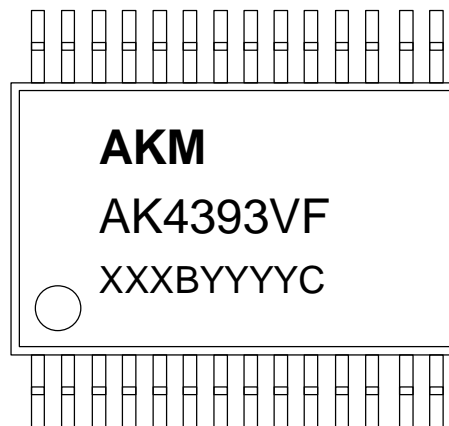


NOTE: Dimension "\*" does not include mold flash.

■ Material & Lead finish

Package molding compound:	Epoxy
Lead frame material:	Cu
Lead frame surface treatment:	Solder plate

## マーキング



XXXXBYYYYC data code identifier

XXXB: Lot number (X : Digit number, B : Alpha character)  
 YYYYYC: Assembly date (Y : Digit number, C : Alpha character)

## 重要な注意事項

- 本書に記載された製品、及び、製品の仕様につきましては、製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認下さい。
- 本書に掲載された情報・図面の使用に起因した第三者の所有する特許権、工業所有権、その他の権利に対する侵害につきましては、当社はその責任を負うものではありませんので、ご了承下さい。
- 本書記載製品が、外国為替及び、外国貿易管理法に定める戦略物資(役務を含む)に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 医療機器、安全装置、航空宇宙用機器、原子力制御用機器など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に弊社製品を使用される場合は、必ず事前に弊社代表取締役の書面による同意をお取り下さい。
- この同意書を得ずにこうした用途に弊社製品を使用された場合、弊社は、その使用から生ずる損害等の責任を一切負うものではありませんのでご了承下さい。
- お客様の転売等によりこの注意事項の存在を知らずに上記用途に弊社製品が使用され、その使用から損害等が生じた場合は全てお客様にてご負担または補償して頂きますのでご了承下さい。

**添付 1**

2倍速モード時、MCLKとLRCKまたはBICK間の位相関係に制限があります (Table 7)。位相関係がこの禁止期間になった場合、アナログ出力のLchとRchが反転する可能性があります。AK4393を2倍速モードで使用する場合は禁止期間以外の位相関係に設定して下さい。禁止期間はデジタル電源電圧(DVDD)、MCLK周波数とオーディオデータフォーマット(Table 5)の組み合わせで規定されます。オーディオデータフォーマットが16/20/24bit LSB Justified, 24bit MSB Justified (Mode 0,1,2,4) の場合はLRCKの立ち上がりとMCLKの立ち上がりの位相関係 (tLRM: Figure 11) がTable 7のminからmaxになる期間が禁止期間です。また、オーディオデータフォーマットがI<sup>2</sup>S Compatible (Mode 3)の場合はBICKの立ち下がりとMCLKの立ち上がりの位相関係が禁止期間になります (tBCM: Figure 12)。

サンプリングモード	デジタル電源 DVDD	MCLK周波数	モード設定				禁止期間		Units
			CKS2	CKS1	CKS0	DFS	min	max	
2倍速モード	3.0 to 5.25V	128fs	0	0	0	1	0.4	1.7	ns
2倍速モード	3.0 to 5.25V	192fs	0	1	0	1	-0.5	0.8	ns
2倍速モード	3.0 to 5.25V	256fs	0	0	1	1	-0.7	0.7	ns
2倍速モード	3.0 to 5.25V	256fs	1	0	0	1	-0.7	0.7	ns
2倍速モード	3.0 to 5.25V	384fs	0	1	1	1	-1.7	-0.3	ns
2倍速モード	3.0 to 5.25V	384fs	1	1	0	1	-1.7	-0.3	ns
2倍速モード	4.75 to 5.25V	128fs	0	0	0	1	0.8	1.5	ns
2倍速モード	4.75 to 5.25V	192fs	0	1	0	1	-0.2	0.5	ns
2倍速モード	4.75 to 5.25V	256fs	0	0	1	1	-0.3	0.4	ns
2倍速モード	4.75 to 5.25V	256fs	1	0	0	1	-0.3	0.4	ns
2倍速モード	4.75 to 5.25V	384fs	0	1	1	1	-1.0	-0.3	ns
2倍速モード	4.75 to 5.25V	384fs	1	1	0	1	-1.0	-0.3	ns

Table 7. 禁止期間

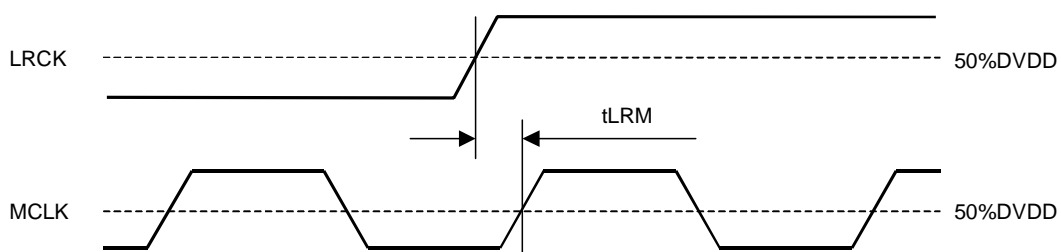


Figure 11. 16/20/24bit LSB Justified, 24bit MSB Justifiedの場合

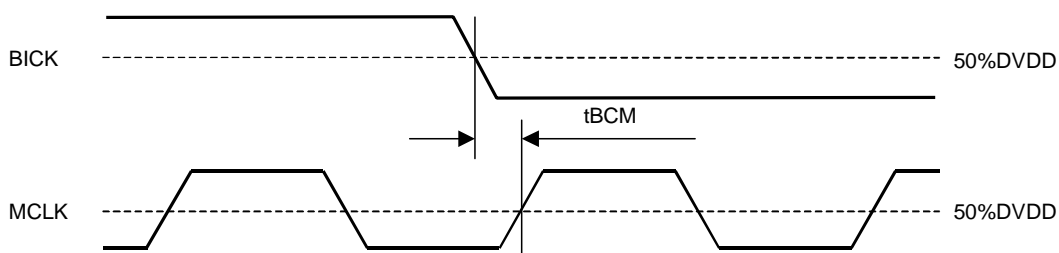


Figure 12. I<sup>2</sup>S Compatible の場合